

Микросхема формирователя временных интервалов 1512АИ1

Микросхема 1512АИ1У представляет собой формирователь временных интервалов. Микросхема предназначена для использования в вычислительных и управляющих системах специального назначения для формирования импульсных последовательностей с программируемыми параметрами.

Микросхема изготовлена по КМОП-технологии и имеет TTL-совместимые входы и выходы.

Конструктивно микросхема 1512АИ1У выполнена в планарном металлокерамическом корпусе с четырехсторонним расположением выводов Н18.64-3В, масса микросхемы не более 3,0 г.

Основные технические характеристики:

- напряжения питания – $5.0В \pm 10\%$;
- частота сигнала синхронизации по входу CLKТТL – не более 96 МГц;
- частота сигнала синхронизации по входу CLKСIN – не более 96 МГц;
- амплитуда сигнала синхронизации по входу CLKСIN – не менее 0.5В;
- устойчивость к воздействию статического электричества с потенциалом - не менее 2 000В;
- диапазон рабочих температур среды от минус 60°С до плюс 125°С.

**Технические спецификации
1512АИ1У**

Электрические параметры микросхем ($U_{CC} = 5,0 \text{ В} \pm 10 \%$)

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Темпера- тура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В при $I_{OH} = -4 \text{ мА}$	U_{OH}	$(U_{CC} - 0,8)$	–	$25 \pm 10,$ $-60, 125$
Выходное напряжение низкого уровня, В при $I_{OL} = 4 \text{ мА}$	U_{OL}	–	0,45	
Ток утечки низкого уровня на входе, мкА	I_{ILL}	–	$ -20 $	
Ток утечки высокого уровня на входе, мкА	I_{ILH}	–	20	
Ток потребления, мА	I_{CC}	–	5	
Динамический ток потребления, мА при $f_{SIN} = f_{TTL} = 96 \text{ МГц}$	I_{OCC}	–	300	
Длительность импульсов высокого уровня последовательностей П1 – П4, нс при $f_{SIN} = f_{TTL} = 96 \text{ МГц}$, $C_L = 30 \text{ пФ}$	t_{WHi} (i от 1 до 4)	30	650×10^6	
Период следования импульсов последовательностей, нс при $f_{SIN} = f_{TTL} = 96 \text{ МГц}$, $C_L = 30 \text{ пФ}$	T	30	650×10^6	
Время задержки формирования последовательностей П1 – П4, нс при $f_{SIN} = f_{TTL} = 96 \text{ МГц}$, $C_L = 30 \text{ пФ}$	t_{DLi} (i от 1 до 4)	30	10×10^6	
Дискретность изменения динамических параметров последовательностей П1 – П4, нс при $f_{SIN} = f_{TTL} = 96 \text{ МГц}$, $C_L = 30 \text{ пФ}$	t_{AC}	10	–	
Примечание. Знак "минус" перед значением тока указывает только его направление (вытекающий ток)				

**Технические спецификации
1512АИ1У**

Предельно-допустимые и предельные режимы эксплуатации микросхем

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		Норма		Норма	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	4,5	5,5	- 0,3	6,0
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	-0,5	–
Входное напряжение высокого уровня, В	U_{IH}	2,4	U_{CC}	–	$U_{CC} + 0,5$
Амплитуда сигнала синхронизации по входу CLKSIN, В	U_I	0,5	–	–	–
Емкость нагрузки, пФ	C_L	–	30	–	200

Технические спецификации 1512АИ1У

Назначение выводов

Номер вывода корпуса	Обозначение	Назначение
01 - 08	DD0 - DD7	Вход данных. Разряды нулевой (младший) ÷ разряд седьмой
09 - 24	D0 - D15	Вход данных. Разряд нулевой ÷ разряд пятнадцатый (старший)
25	R	Вход сигнала прекращения формирования непрерывных последовательностей.
26	GND	Общий вывод
27	CLKINV	Вход сигнала управления инверсией сигнала синхронизации
28	CLKTTL	Вход сигнала синхронизации цифровой
29	CLKSEL	Вход сигнала выбора источника синхронизации
30	VCC	Вывод питания от источника напряжения
31	CLKSIN	Вход сигнала синхронизации аналоговый
32	GND	Общий вывод
33	VCC	Вывод питания от источника напряжения
34	STIENA	Вход сигнала разрешения инициализации
35	NC	Вывод свободный
36	STI	Вход сигнала инициализации
37	TDO	Выход тестовых данных в последовательном коде
38	TDI	Вход тестовых данных в последовательном коде
39	TEST	Вход сигнала включения тестового режима
40	GND	Общий вывод
41	RST	Вход сигнала сброса
42	NC	Вывод свободный
43	QCLK	Выход сигнала синхронизации
44	QCLK2	Выход сигнала синхронизации, поделенного на 2
45	QCLK4	Выход сигнала синхронизации, поделенного на 4

**Технические спецификации
1512АИ1У**

Продолжение таблицы

Номер вывода корпуса	Обозначение	Назначение
46	I1	Выход последовательности I1
47	I2	Выход последовательности I2
48	NC	Вывод свободный
49	I3	Выход последовательности I3
50	I4	Выход последовательности I4
51	PC1	Вход кода выбора микросхемы. Разряд первый
52	PC0	Вход кода выбора микросхемы. Разряд нулевой
53	ENQCLK	Вход разрешения выдачи сигнала QCLK
54	ENQCLK2	Вход разрешения выдачи сигнала QCLK2
55	ENQCLK4	Вход разрешения выдачи сигнала QCLK4
56	V _{CC}	Вывод питания от источника напряжения
57	WR	Вход сигнала управления записью данных
58	AD0	Вход адреса. Разряд нулевой (младший)
59	AD1	Вход адреса. Разряд первый
60	AD2	Вход адреса. Разряд второй
61	AD3	Вход адреса. Разряд третий
62	AD4	Вход адреса. Разряд четвертый (старший)
63	NC	Вывод свободный
64	V _{CC}	Вывод питания от источника напряжения

Технические спецификации 1512АИ1У

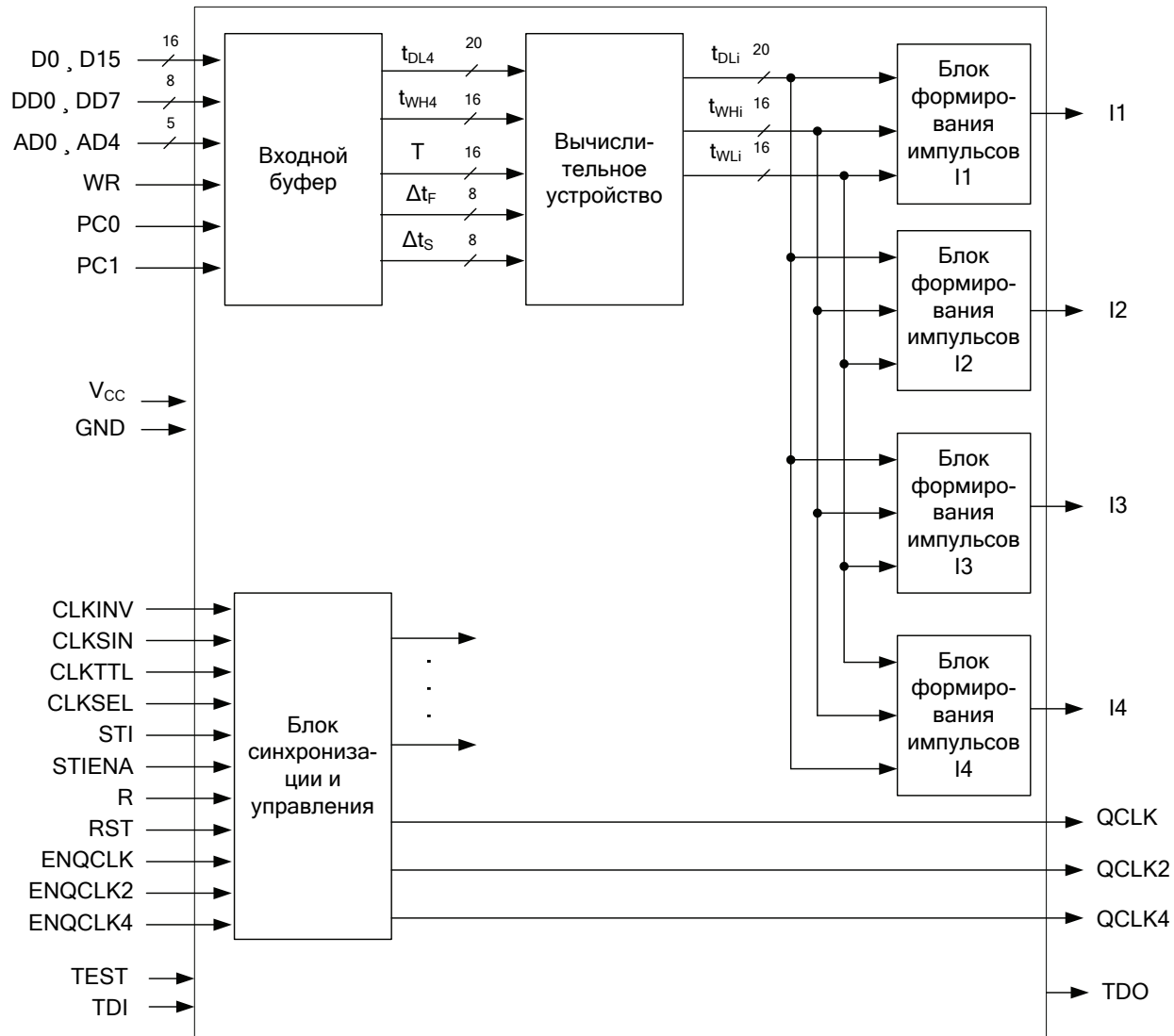


Схема электрическая структурная

Технические спецификации 1512АИ1У

Синхронизация работы микросхемы

Синхронизация работы микросхемы может осуществляться по цифровому входу CLKTTL или по аналоговому входу CLKSIN, на который подается синусоидальный сигнал. Выбор входа синхронизации осуществляется при помощи сигнала CLKSEL.

Из входных сигналов синхронизации вырабатывается внутренний синхросигнал CLK, который непосредственно подается на блоки микросхемы.

Синхросигнал CLK выдается на выход QCLK микросхемы.

На выходы QCLK2 и QCLK4 микросхемы выдается синхросигнал CLK, деленный на два и на четыре, соответственно.

Выдача синхросигналов QCLK, QCLK2 и QCLK4 осуществляется при наличии разрешающих значений управляющих сигналов на входах ENQCLK, ENQCLK2 и ENQCLK4 соответственно.

Входной буфер

Входной буфер предназначен для приема и хранения данных, поступающих на входные шины D и DD.

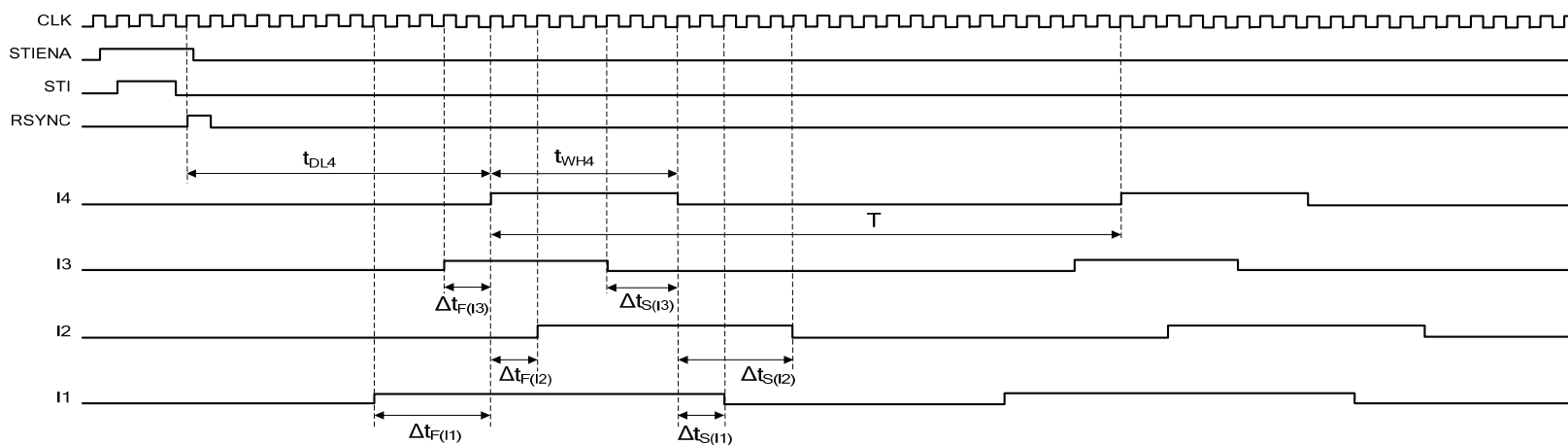
Данные, последовательно подаваемые на входную шину D, определяют параметры «опорной» последовательности импульсов I4. На входную шину DD последовательно подают данные, определяющие сдвиг фронтов и спадов импульсов последовательностей I1 – I3 относительно фронтов и спадов импульсов «опорной» последовательности I4.

Структура входных данных приведена ниже в таблице.

AD			D														DD									
2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	1	0	Начальная задержка t_{DL4}														Сдвиг фронта I1 ($\Delta t_{F(I1)}$)									
0	1	1															t_{DL4}	Сдвиг спада I1 ($\Delta t_{S(I1)}$)								
1	0	0	Длительность импульса t_{WH4}														Сдвиг фронта I2 ($\Delta t_{F(I2)}$)									
1	0	1	Период следования импульсов T														Сдвиг спада I2 ($\Delta t_{S(I2)}$)									
1	1	0																Сдвиг фронта I3 ($\Delta t_{F(I3)}$)								
1	1	1																Сдвиг спада I3 ($\Delta t_{S(I3)}$)								

Технические спецификации 1512АИ1У

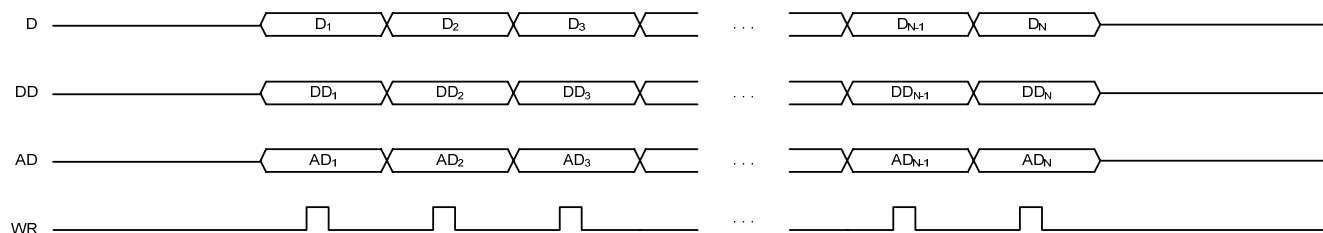
Примечание. t_{DL4} (20 разрядов) – начальное время задержки формирования последовательности I4;
 t_{WH4} (16 разрядов) – длительность импульса высокого уровня последовательности I4;
 T (16 разрядов) – период следования импульсов последовательностей;
 $\Delta t_{F(11)}$ ($\Delta t_{F(12)}$, $\Delta t_{F(13)}$) – время сдвига фронта импульса последовательности I1 (I2, I3) относительно фронта импульса последовательности I4;
 $\Delta t_{S(11)}$ ($\Delta t_{S(12)}$, $\Delta t_{S(13)}$) – время сдвига спада импульса последовательности I1 (I2, I3) относительно спада импульса последовательности I4.
Старший (седьмой) разряд величин сдвигов является знаковым разрядом, что позволяет формировать фронты (спады) импульсов последовательностей I1 – I3 как с задержкой, так и с опережением относительно фронтов (спадов) импульсов «опорной» последовательности I4.



Временная диаграмма формирования последовательностей импульсов I1 – I4

Технические спецификации 1512АИ1У

Поступающие на входные шины D и DD данные сопровождаются импульсами записи WR и пятиразрядными адресами записи AD. Порядок подачи данных и адресов представлен ниже.



Порядок подачи данных и адресов

Микросхема ориентирована на использование в системе, включающей до четырех микросхем формирователей временных интервалов, каждая из которых идентифицируется двухразрядным кодом РС.

Два старших разряда адреса записи AD4, AD3 используются для адресации передаваемых данных микросхеме с соответствующим кодом РС. В микросхеме производится сравнение кодов AD4, AD3 и PC1, PC0. При совпадении кодов поступающие данные записываются во входной буфер микросхемы. Если коды не совпадают, то данные игнорируются.

Вычислительное устройство

Вычислительное устройство предназначено для расчета на основе принятых данных величин, непосредственно используемых для формирования последовательностей импульсов I1 – I4.

Вычисление времени задержки формирования последовательностей I1 – I4 t_{DLi} (i от 1 до 4), нс, проводят по формулам

$$t_{DL4} = t_{DL4} \quad , \quad (1)$$

$$t_{DL3} = t_{DL4} + \Delta t_{F(13)} \quad , \quad (2)$$

$$t_{DL2} = t_{DL4} + \Delta t_{F(12)} \quad , \quad (3)$$

$$t_{DL1} = t_{DL4} + \Delta t_{F(11)} \quad . \quad (4)$$

Технические спецификации 1512АИ1У

Вычисление длительности импульсов высокого уровня последовательностей I1 – I4 t_{WHi} (i от 1 до 4), нс, проводят по формулам

$$t_{WH4} = t_{WH4} \quad , \quad (5)$$

$$t_{WH3} = t_{WH4} - \Delta t_{F(13)} + \Delta t_{S(13)} \quad , \quad (6)$$

$$t_{WH2} = t_{WH4} - \Delta t_{F(12)} + \Delta t_{S(12)} \quad , \quad (7)$$

$$t_{WH1} = t_{WH4} - \Delta t_{F(11)} + \Delta t_{S(11)} \quad . \quad (8)$$

Вычисление длительности импульсов низкого уровня последовательностей I1 – I4 t_{WLi} (i от 1 до 4), нс, проводят по формулам

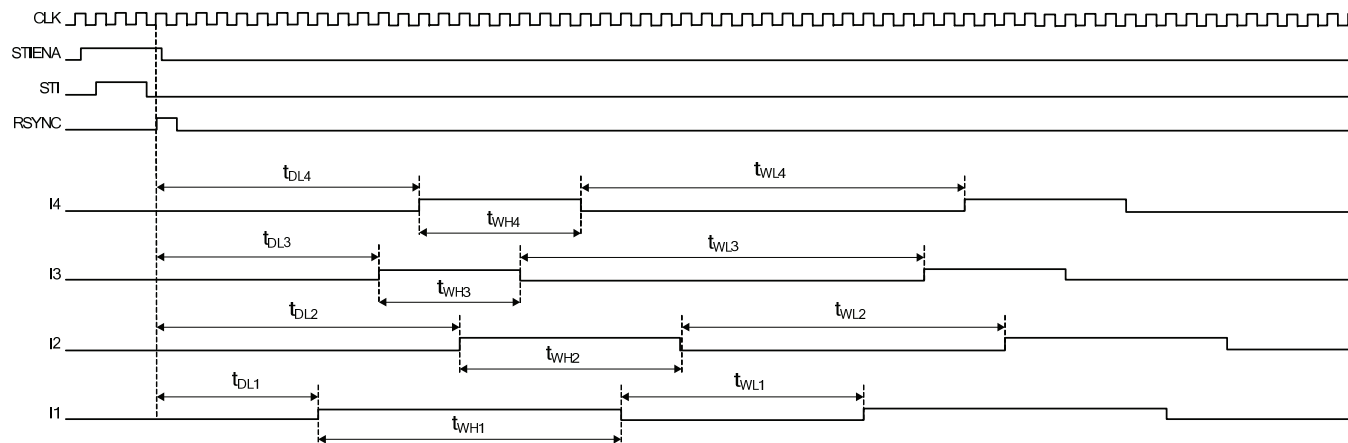
$$t_{WL4} = T - t_{WH4} \quad , \quad (9)$$

$$t_{WL3} = T - t_{WH3} \quad , \quad (10)$$

$$t_{WL2} = T - t_{WH2} \quad , \quad (11)$$

$$t_{WL1} = T - t_{WH1} \quad . \quad (12)$$

Временная диаграмма последовательностей импульсов I1 – I4 приведена ниже.



Временная диаграмма последовательностей импульсов I1 – I4

Технические спецификации 1512АИ1У

Вычисления выполняются последовательно для каждого из каналов I1 – I4, после чего вычисленные результаты переписываются в рабочие регистры соответствующих блоков формирования импульсов.

Блоки формирования импульсов

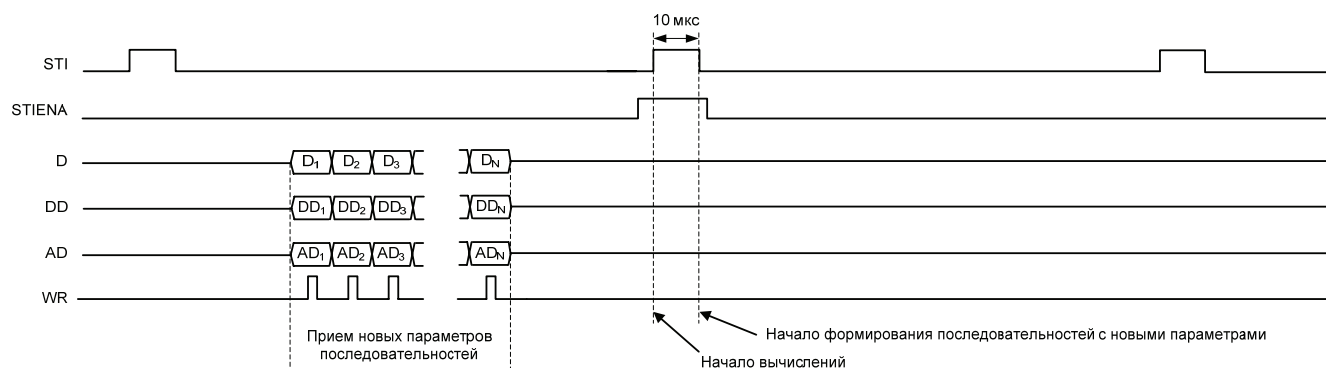
Блоки формирования импульсов содержат счетчики, на выходе которых непосредственно формируются последовательности I1 – I4.

Работа выходных триггеров блоков формирования импульсов может быть синхронизирована либо прямым, либо инвертированным внутренним синхросигналом CLK. Выбор режима синхронизации выходных триггеров осуществляется при помощи сигнала CLKINV.

Таким образом, в микросхеме предусматривается возможность формирования последовательностей I1 – I4 со сдвигом, равным половине периода синхросигнала CLK.

Функционирование микросхемы

Функционирование микросхемы поясняется временными диаграммами, представленными на рисунке 5.



Организация функционирования микросхемы

Технические спецификации 1512АИ1У

Для организации функционирования микросхемы используется импульс инициализации STI.

С приходом положительного фронта импульса STI при наличии разрешающего (единичного) значения сигнала разрешения STIENA в микросхеме производится выдача хранящихся во входном буфере данных в вычислительное устройство и инициализация процесса вычислений.

С приходом спада импульса STI при наличии разрешающего (единичного) значения сигнала разрешения STIENA начинается формирование последовательностей I1 – I4 с рассчитанными параметрами. Формирование последовательностей будет осуществляться до прихода следующего импульса STI совместно с соответствующим сигналом разрешения STIENA.

Данные, поступающие на входные шины D и DD, записываются во входной буфер асинхронно и могут быть поданы на входы микросхемы в любой момент времени до прихода очередного импульса STI.

Если к моменту инициализации вычислений новые данные во входной буфер записаны не были, то вычисления, тем не менее, будут организованы со старыми данными, хранящимися во входном буфере. При этом параметры последовательностей I1 – I4 останутся неизменными.

Формирование последовательностей I1 – I4 может быть прекращено путем подачи положительного импульса на вход R.